

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

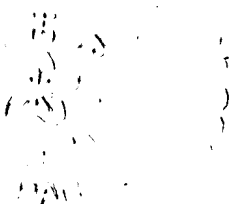
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   4 月 1 5 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 1 0 9 9 6 0  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 0 9 9 6 0 ]

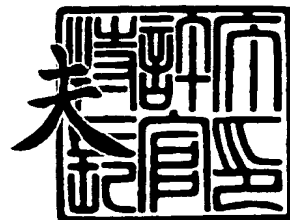
出   願   人            三 菱 電 機 株 式 有 限 公 司  
Applicant(s):



2 0 0 3 年 1 1 月 1 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 3 - 3 0 9 5 1 3 0

【書類名】 特許願

【整理番号】 545400JP01

【提出日】 平成15年 4月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01S 5/34

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

【氏名】 川崎 和重

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

【氏名】 嶋原 君男

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100098280

【弁理士】

【氏名又は名称】 石野 正弘

【手数料の表示】

【予納台帳番号】 163028

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体光素子およびその製造方法

【特許請求の範囲】

【請求項 1】 III-V族半導体材料を用いて、光を発生する活性層を少なくとも含むエピタキシャル成長層を形成する工程と、

エピタキシャル成長層の上に、熱処理の際にV族元素の抜けを防止するための絶縁膜を形成する工程と、

800℃以上の温度で熱処理を施す工程と、

絶縁膜を除去する工程とを備えることを特徴とする半導体光素子の製造方法。

【請求項 2】 熱処理工程の後に、フォトルミネッセンス測定を行う工程を備えることを特徴とする請求項 1 記載の半導体光素子の製造方法。

【請求項 3】 III-V族半導体材料で形成され、光を発生する活性層を少なくとも含むエピタキシャル成長層を備え、

エピタキシャル成長層の組成が界面付近で連続的に変化していることを特徴とする半導体光素子。

【請求項 4】 活性層の組成が等しく、エピタキシャル成長層の組成が界面付近でステップ的に変化している半導体光素子と比べて、フォトルミネッセンス波長がブルーシフトしていることを特徴とする請求項 3 記載の半導体光素子。

【請求項 5】 フォトルミネッセンス波長が20meV以上ブルーシフトしていることを特徴とする請求項 4 記載の半導体光素子。

【請求項 6】 活性層の組成が等しく、エピタキシャル成長層の組成が界面付近でステップ的に変化している半導体光素子と比べて、エピタキシャル成長層間の歪みが緩和していることを特徴とする請求項 3 記載の半導体光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光情報処理、光通信等の用途に用いられ、特にファイバアンプの励起光源として好適な半導体光素子およびその製造方法に関する。

【0002】

## 【従来の技術】

光情報処理、光通信等の光源は、高出力化、高信頼性のものが要望されており、特に海底光ケーブルの光中継器等に使用されるファイバアンプの励起光源は、長寿命で高信頼性の半導体光素子が要求される。

## 【0003】

ファイバアンプの励起光源として、一般に、 $0.98\mu\text{m}$ や $1.02\mu\text{m}$ の発光波長を有する半導体光素子が選定され、活性層として歪み量子井戸構造が採用されている。例えば、InGaAs量子井戸層とGaAsガイド層との間には1%程度の歪みを有している。

## 【0004】

半導体光素子の主な劣化原因として、光出射端面での光吸収による端面劣化と、結晶内の転位やエピタキシャル成長層間の歪みによる内部劣化などが知られている。

## 【0005】

端面劣化の対策として、光出射端面でのバンドギャップを活性層のバンドギャップより大きくして光吸収を防止する窓構造を採用したり、端面コーティングを工夫することが考えられる。

## 【0006】

内部劣化の対策として、転位密度の低い基板を使用したり、歪み補償構造の活性層を採用することが考えられる。

## 【0007】

関連する先行技術として、下記のものが挙げられる。

## 【非特許文献1】

G. Beister et al., "Monomode emission at 350 mW and high reliability with InGaAs/AlGaAs( $\lambda=1020\text{nm}$ ) ridge waveguide laser diodes", ELECTRONICS LETTERS 16th April 1998, Vol. 34, No. 8, pp.778-779

## 【非特許文献2】

Toshiaki Fukunaga et al., "Reliable operation of strain-compensated  $1.06\mu\text{m}$  InGaAs/InGaAsP/GaAs single quantum well lasers", Appl. Phys

. Lett., Vol. 69(2), 8 July 1996, pp.248-250

#### 【 0 0 0 8 】

##### 【発明が解決しようとする課題】

上記の非特許文献 1 の Fig.2 には、波長 1. 0 2  $\mu$  m 帯の半導体光素子の信頼性試験の結果がグラフで表示されている。試験条件は、4 0  $^{\circ}$ C 雰囲気、3 0 0 m W 定出力で、サンプル数は 1 0 個である。横軸は 1 0 0 0 時間までのエージング時間を示し、縦軸は駆動電流 (m A) である。

#### 【 0 0 0 9 】

このグラフから、1 0 個のサンプルのうち 3 個が初期段階で駆動電流が急増する初期劣化を示している。残り 7 個については、時間経過とともに駆動電流が徐々に増加し、劣化レートは直線近似で  $1. 5 \times 10^{-5} \sim 8. 6 \times 10^{-5}$  (/h) と計算され、1 0 0 0 時間で 1. 5 ~ 8. 6 % の電流増加となる。

#### 【 0 0 1 0 】

上記の非特許文献 2 の Fig.6 には、波長 1. 0 6  $\mu$  m 帯の半導体光素子の信頼性試験の結果がグラフで表示されている。試験条件は、2 5  $^{\circ}$ C 雰囲気、2 5 0 m W 定出力で、サンプル数は S C - S Q W (歪み補償単一量子井戸) レーザが 1 0 個で、S L - S Q W (歪み単一量子井戸) レーザが 1 0 個である。横軸は 1 0 0 0 時間までのエージング時間を示し、縦軸は駆動電流 (m A) である。

#### 【 0 0 1 1 】

このグラフから、歪み単一量子井戸レーザは 1 0 0 0 時間までに全て劣化しているのに対して、歪み補償単一量子井戸レーザは 1 0 0 0 時間経過しても駆動電流が増加しておらず、目立った劣化は見られない。

#### 【 0 0 1 2 】

本発明の目的は、素子の信頼性を格段に向上できる半導体光素子およびその製造方法を提供することである。

#### 【 0 0 1 3 】

##### 【課題を解決するための手段】

本発明に係る半導体光素子の製造方法は、III-V 族半導体材料を用いて、光を発生する活性層を少なくとも含むエピタキシャル成長層を形成する工程と、

エピタキシャル成長層の上に、熱処理の際にV族元素の抜けを防止するための絶縁膜を形成する工程と、

800℃以上の温度で熱処理を施す工程と、

絶縁膜を除去する工程とを備えることを特徴とする。

#### 【0014】

また、本発明に係る半導体光素子は、III-V族半導体材料で形成され、光を発生する活性層を少なくとも含むエピタキシャル成長層を備え、

エピタキシャル成長層の組成が界面付近で連続的に変化していることを特徴とする。

#### 【0015】

##### 【発明の実施の形態】

実施の形態1.

図1および図2は、本発明に係る半導体光素子の製造工程の一例を示す説明図である。ここでは、III-V族半導体材料として、GaAs, AlGaAs, InGaAsを用いた例を説明するが、III族元素であるB, Al, Ga, In, Tlと、V族元素であるN, P, As, Sb, Biとを組合せた二元、三元、又は四元以上の化合物半導体を用いた場合にも本発明は適用可能である。

#### 【0016】

まず、図1(a)に示すように、n型GaAs等からなる低転位の基板1の上に順次、Al<sub>0.3</sub>Ga<sub>0.7</sub>As等からなるn型クラッド層2、GaAs等からなるガイド層3、In<sub>0.14</sub>Ga<sub>0.86</sub>As等からなる量子井戸層4、GaAs等からなるバリア層5、In<sub>0.14</sub>Ga<sub>0.86</sub>As等からなる量子井戸層6、GaAs等からなるガイド層7、Al<sub>0.3</sub>Ga<sub>0.7</sub>As等からなるp型クラッド層8aを、MOCVD(Metal Organic Chemical Vapor Deposition)等の成膜プロセスを用いてエピタキシャル成長させる。

#### 【0017】

光を発生する活性層として、バリア層5の両側に2つの量子井戸層4, 6が配置された歪み二重量子井戸(DQW:Double Quantum Well)構造を採用している。

#### 【0018】

p型クラッド層8aは、最終的なp型クラッド層の一部であり、後工程でのフォトルミネッセンス(PL)測定を実施できる程度の厚さに形成している。

#### 【0019】

次に、図1(b)に示すように、p型クラッド層8aの上に、後工程での熱処理の際にV族元素(ここではAs)の抜けを防止するために、SiO、SiN、SiON等からなる絶縁膜10を、CVD(Chemical Vapor Deposition)等の成膜プロセスを用いて形成する。

#### 【0020】

次に、窒素(N<sub>2</sub>)雰囲気中で800℃以上の炉温に保たれた、例えば石英チューブ式のアニール炉に投入して、約30分間の熱処理を施す。

#### 【0021】

熱処理の後、フォトルミネッセンス(PL)測定を実施する。PL測定は、活性層のバンドギャップより高いエネルギーの光を照射して、活性層からの発光スペクトルを解析するものである。

#### 【0022】

熱処理を行う前にも、同様なPL測定を実施することで、熱処理前の発光スペクトルと熱処理後の発光スペクトルを比較することができる。その結果、熱処理後のPL波長(発光スペクトルのピーク波長)がブルーシフトし、熱処理前より短波長側に移動していれば、熱処理によるアニールの効果を確認することができる。

#### 【0023】

次に、絶縁膜10をウェットエッチングやドライエッチング等を用いて除去した後、図1(c)に示すように、Al<sub>0.3</sub>Ga<sub>0.7</sub>As等からなる残りのp型クラッド層8b、GaAs等からなるコンタクト層11を、MOCVD等を用いてエピタキシャル成長させる。

#### 【0024】

次に、コンタクト層11の上に、リッジ用のマスクパターンをフォトリソットや絶縁膜等で形成した後、図2(a)に示すように、ウェットエッチングやドライエッチング等を用いてコンタクト層11とp型クラッド層8の一部を除去して



、リッジ 11a を形成する。その後、リッジ用のマスクパターンを除去する。

#### 【0025】

次に、図 2 (b) に示すように、リッジ 11a の上部を除いて、SiO, SiN, SiON 等からなる絶縁膜 12 を CVD 等を用いて形成する。

#### 【0026】

次に、図 2 (c) に示すように、絶縁膜 12 の上に p 電極 13 をスパッタ等を用いて形成する。次に、基板 1 の下面を削って、チップ壁開が容易になる程度に薄くした後、基板 1 の下面に n 電極 14 をスパッタ等を用いて形成する。次に、壁開によってチップ単位に分割する。

#### 【0027】

こうして得られた半導体光素子は、800℃以上の温度で熱処理を施しているため、エピタキシャル成長層の組成が界面付近で連続的に変化している。その結果、エピタキシャル成長層間の歪みが緩和されて、素子の信頼性を格段に向上させることができる。

#### 【0028】

図 3 は、熱処理を施した半導体光素子の信頼性試験結果の一例を示すグラフである。図 1 (b) の熱処理工程において、温度 820℃、30 分間、窒素雰囲気の中でアニール処理を施した半導体光素子について、光出力が一定となるように APC 回路で駆動し、時間経過に伴う駆動電流の変化を測定している。試験条件は、50℃雰囲気、300 mW 定出力で、サンプル数は 10 個である。

#### 【0029】

このグラフから、10 個のサンプル全てについて 13000 時間経過しても駆動電流が増加しておらず、目立った劣化は見られない。このことから 10000 時間以上の連続動作が可能であり、極めて高い信頼性を有する半導体光素子を実現できることが判る。

#### 【0030】

また、温度 820℃、30 分間のアニール処理前後に PL 測定を行った結果、アニール処理後の PL 波長は 1010 nm を示し、アニール処理後の PL 波長は 974 nm を示し、エネルギー換算で 45 meV のブルーシフトが生じた。この

ことから熱処理によってエピタキシャル成長層間の歪みが緩和して、活性層のバンドギャップが増加したことを裏付けている。

#### 【0031】

次に、SIMS (Secondary Ion Mass Spectroscopy) を用いたエピタキシャル成長層の構造解析について説明する。

#### 【0032】

図4は、熱処理前のエピタキシャル成長層のバンドダイヤグラムを示す説明図である。図5は、熱処理後のエピタキシャル成長層のバンドダイヤグラムを示す説明図である。縦軸が層厚方向の位置を示し、横軸はGaAsを中心として左方がIn組成y、右方がAl組成xを示している。

#### 【0033】

下から順に、n型クラッド層2、ガイド層3、量子井戸層4、バリア層5、量子井戸層6、ガイド層7、p型クラッド層8aが堆積しており、図4の熱処理前では各層の組成が界面付近でステップ的に変化していることが判る。

#### 【0034】

一方、図5の熱処理後は、各層の組成が界面付近で連続的に変化して、エピタキシャル成長界面の急峻性が失われていることが判る。このことから素子劣化の原因となる歪みが緩和されていることを裏付けている。

#### 【0035】

図6は、他の熱処理条件による半導体光素子の信頼性試験結果の一例を示すグラフである。ここでは、図1(b)の熱処理工程において、温度810℃、30分間、窒素雰囲気の中でアニール処理を施した半導体光素子について、図3と同様なAPC連続動作を実施した。試験条件は、50℃雰囲気、300mW定出力で、サンプル数は10個である。

#### 【0036】

このグラフから、約1200時間で劣化したサンプル、約7000時間で劣化したサンプル、約12500時間で劣化したサンプルが出現しているが、残りの7個のサンプルについては13000時間経過しても駆動電流が増加しておらず、目立った劣化は見られない。

## 【0037】

また熱処理前後の PL 波長は 1010 nm から 984 nm に変化し、エネルギー換算で 32 meV のブルーシフトが生じた。

## 【0038】

図 7 は、さらに他の熱処理条件による半導体光素子の信頼性試験結果の一例を示すグラフである。ここでは、図 1 (b) の熱処理工程において、温度 800℃、30 分間、窒素雰囲気の中でアニール処理を施した半導体光素子について、図 3 と同様な APC 連続動作を実施した。試験条件は、50℃雰囲気、300 mW 定出力で、サンプル数は 22 個である。

## 【0039】

このグラフから、13000 時間までに 12 個のサンプルが劣化したが、残りの 10 個のサンプルについては 13000 時間経過しても駆動電流が増加しておらず、目立った劣化は見られない。

## 【0040】

また熱処理前後の PL 波長は 1010 nm から 993 nm に変化し、エネルギー換算で 21 meV のブルーシフトが生じた。

## 【0041】

このようにエピタキシャル成長層に 800℃以上の温度で熱処理を施すことによって、従来と比べて大幅に長い連続動作時間を達成でき、極めて高い信頼性を有する半導体光素子を実現できる。

## 【0042】

また、熱処理の際にエピタキシャル成長層の上に絶縁膜を形成することによって、V 族元素の抜けを防止できるため、層の組成変化を抑制できる。

## 【0043】

また、活性層の PL 波長が 20 meV 以上ブルーシフトするような熱処理を施すことによって、エピタキシャル成長界面の急峻性が弱まり、高い信頼性を達成する歪み緩和効果が得られる。

## 【0044】

また、熱処理の後、好ましくは熱処理の前後に活性層の PL 測定を実施するこ

とによって、製造工程の途中でインライン評価が可能になるため、半導体光素子の製造歩留り向上が図られる。

#### 【0045】

以上の説明では、p型クラッド層8を2回に分けて成膜し、その途中に熱処理を施した例を示したが、別の層位置で熱処理を施してもよく、あるいは全ての層を1回のエピタキシャル成長で成膜した後に熱処理を施しても同様な歪み緩和効果が得られる。

#### 【0046】

##### 【発明の効果】

以上詳説したように、従来と比べて大幅に長い連続動作時間を達成でき、極めて高い信頼性を有する半導体光素子を実現できる。

##### 【図面の簡単な説明】

【図1】 本発明に係る半導体光素子の製造工程の一例を示す説明図である。

【図2】 本発明に係る半導体光素子の製造工程の一例を示す説明図である。

【図3】 熱処理を施した半導体光素子の信頼性試験結果の一例を示すグラフである。

【図4】 熱処理前のエピタキシャル成長層のバンドダイヤグラムを示す説明図である。

【図5】 熱処理後のエピタキシャル成長層のバンドダイヤグラムを示す説明図である。

【図6】 他の熱処理条件による半導体光素子の信頼性試験結果の一例を示すグラフである。

【図7】 さらに他の熱処理条件による半導体光素子の信頼性試験結果の一例を示すグラフである。

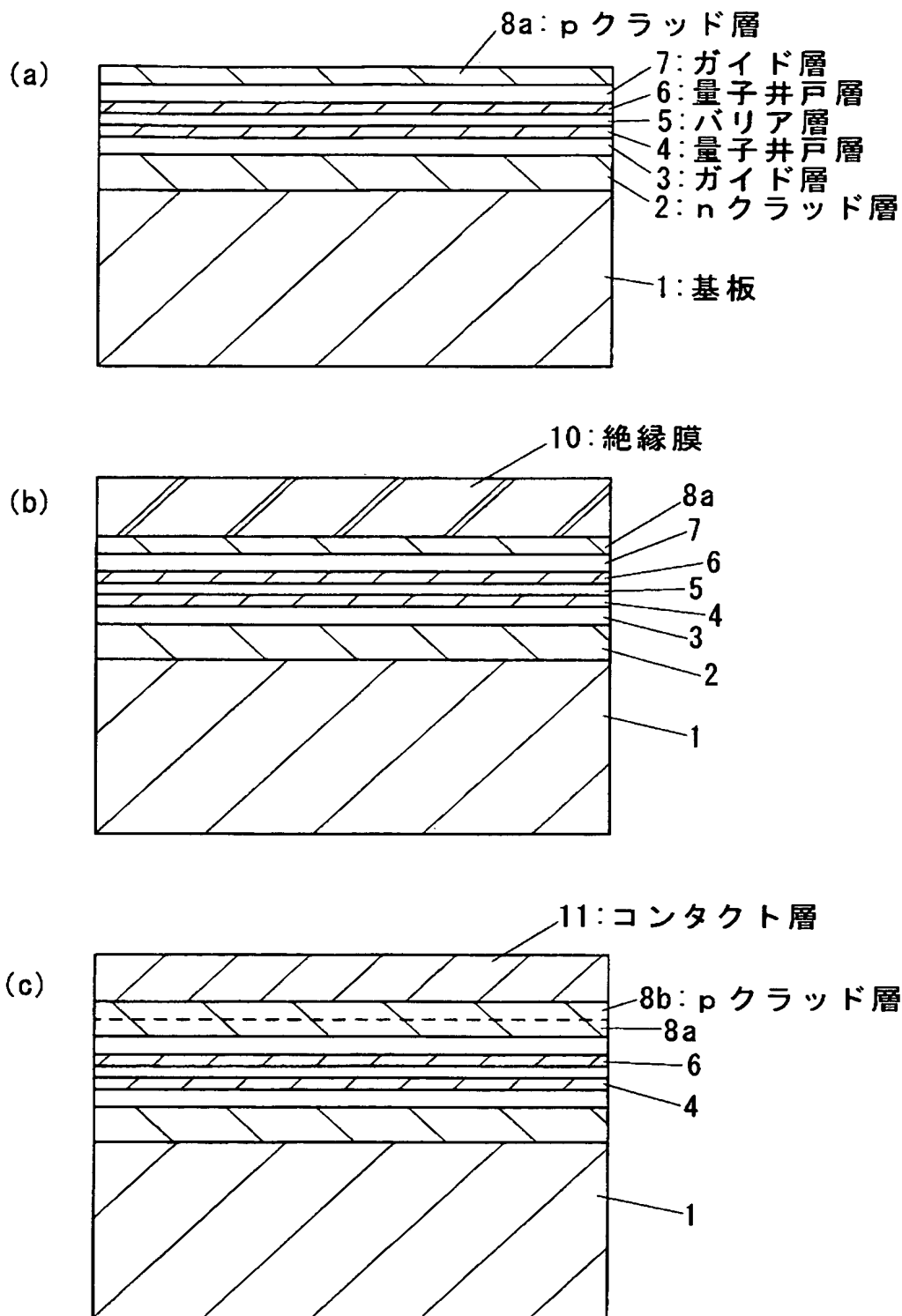
##### 【符号の説明】

1 基板、 2 n型クラッド層、 3 ガイド層、 4 量子井戸層、 5 バリア層、 6 量子井戸層、 7 ガイド層、 8, 8a, 8b p型クラ

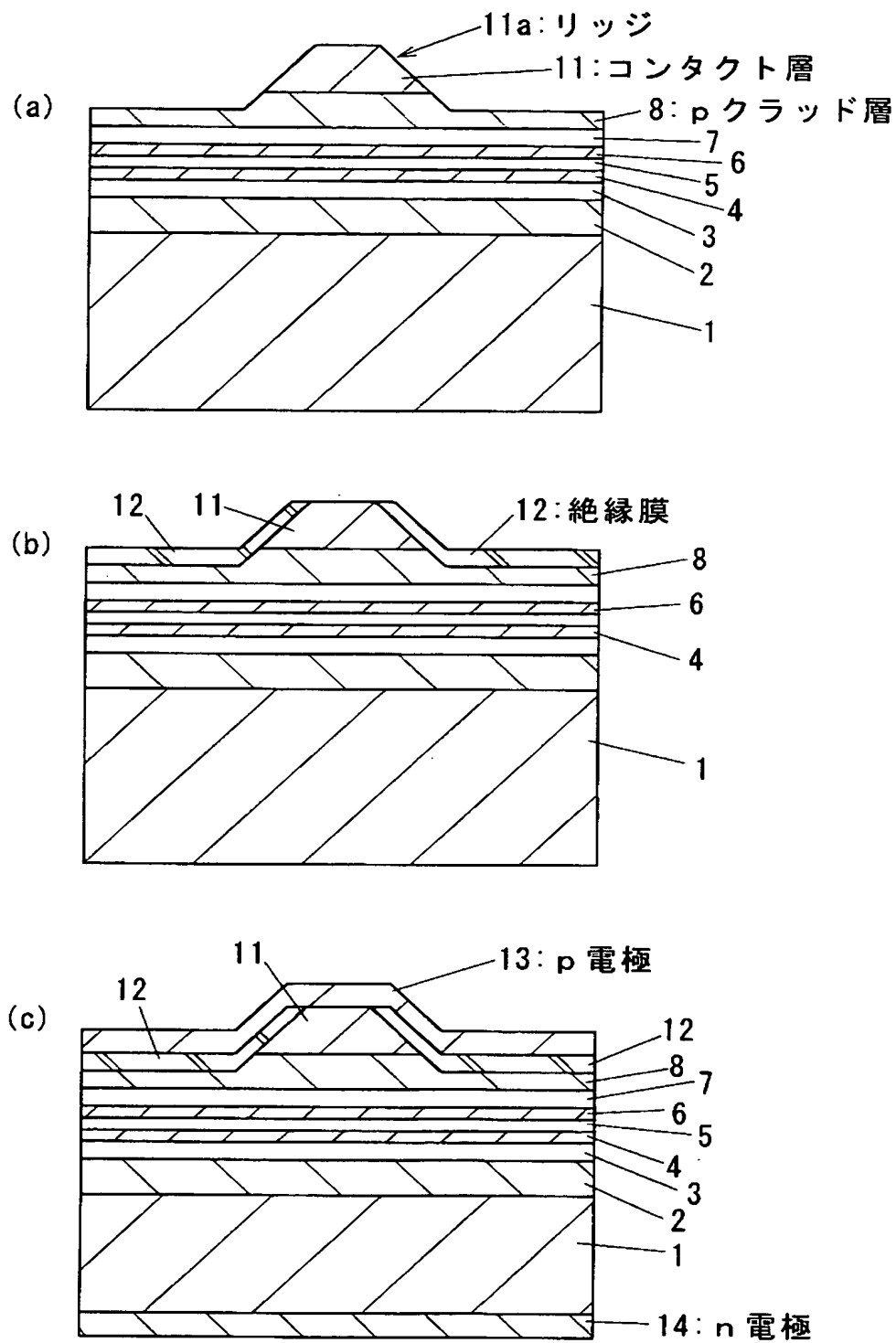
ッド層、 1 0, 1 2 絶縁膜、 1 1 コンタクト層、 1 1 a リッジ、  
1 3 p 電極、 1 4 n 電極。

【書類名】 図面

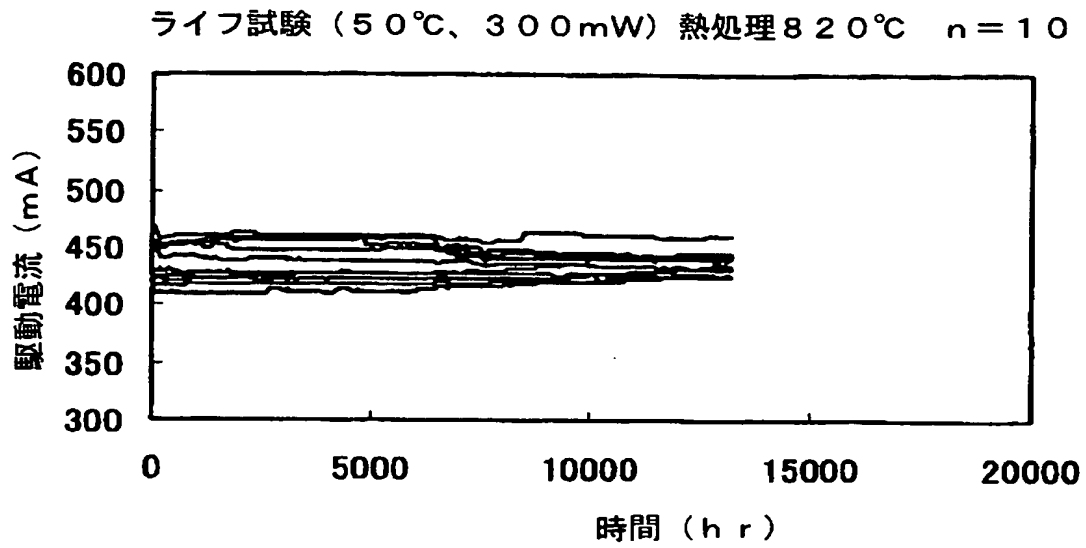
【図 1】



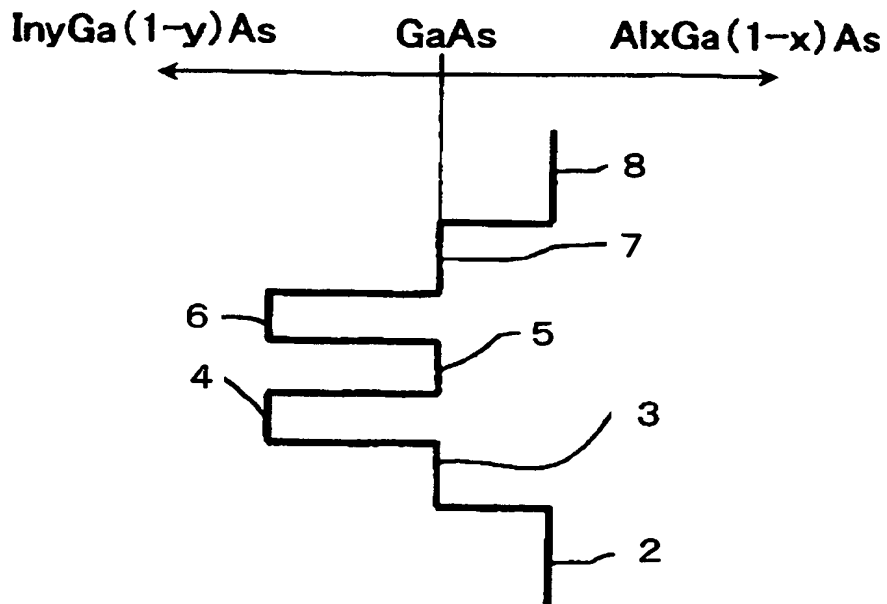
【図 2】



【図 3】

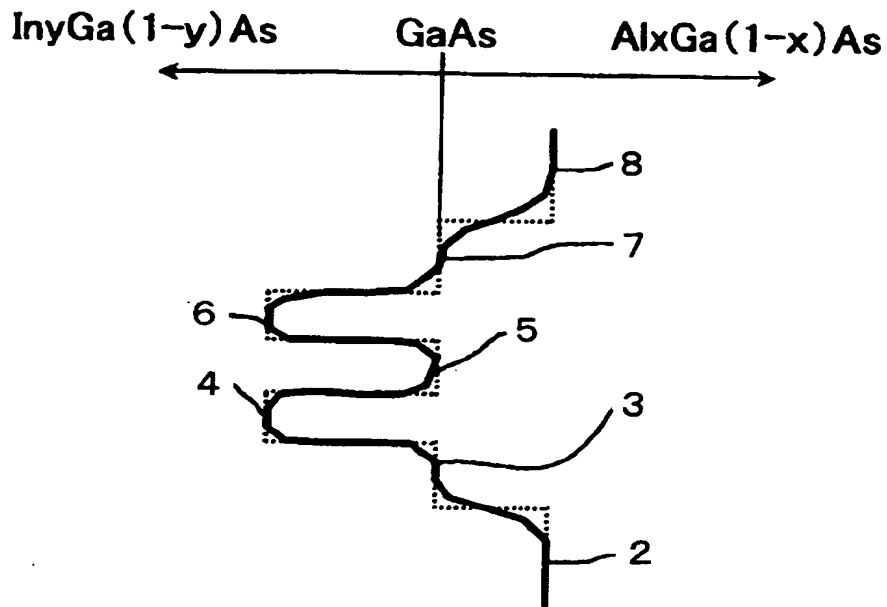


【図 4】

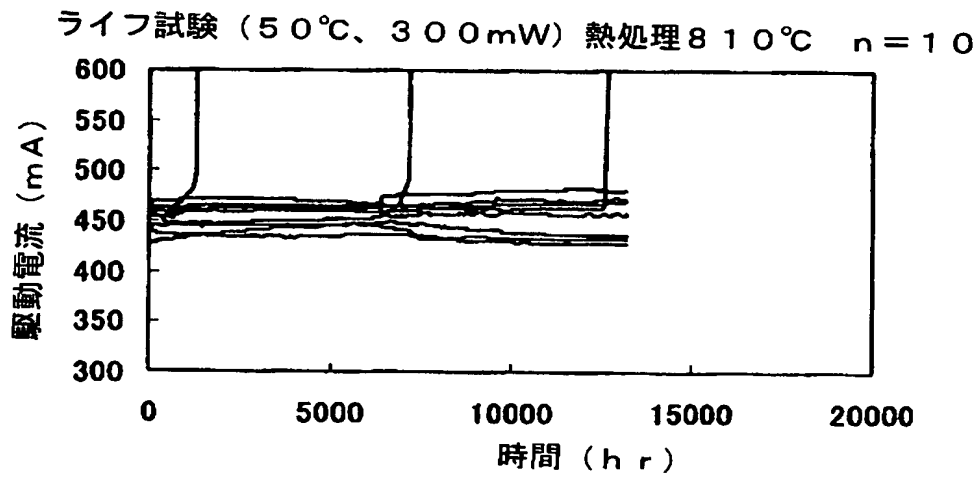




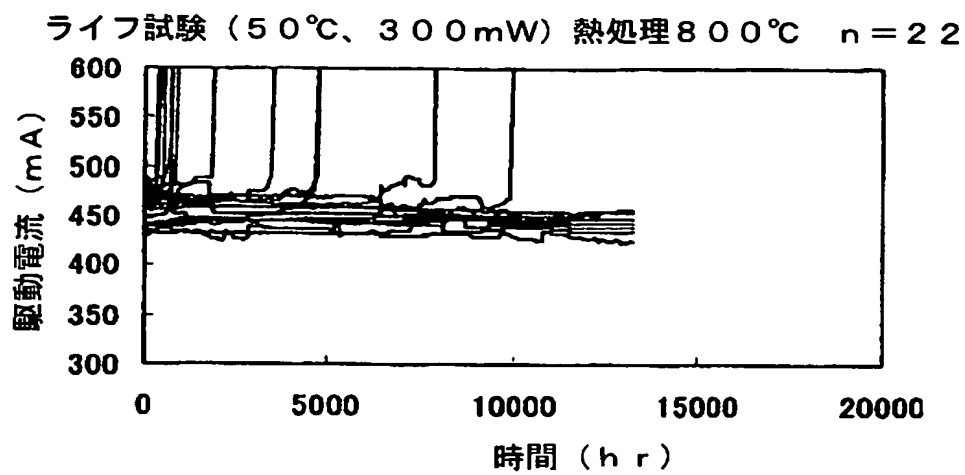
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 素子の信頼性を格段に向上できる半導体光素子およびその製造方法を提供する。

【解決手段】 n型GaAs等の基板1の上に、順次、 $Al_{0.3}Ga_{0.7}As$ 等のn型クラッド層2、GaAs等のガイド層3、 $In_{0.14}Ga_{0.86}As$ 等の量子井戸層4、GaAs等のバリア層5、 $In_{0.14}Ga_{0.86}As$ 等の量子井戸層6、GaAs等のガイド層7、 $Al_{0.3}Ga_{0.7}As$ 等のp型クラッド層8aを、MOCVD等を用いてエピタキシャル成長させた後、熱処理の際にAs元素の抜けを防止するために絶縁膜10を形成し、次に、窒素雰囲気で800℃以上の炉温に保たれたアニール炉に投入して、約30分間の熱処理を施すことで、エピタキシャル成長層間の歪みが緩和される。

【選択図】 図1

特願 2 0 0 3 - 1 0 9 9 6 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 0 1 3 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社